

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

## ⑫ 公開特許公報(A) 平3-211885

⑪ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)9月17日

H 01 L 29/784

7210-5F

H 01 L 29/78

3 2 1 V

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体装置及びその製造方法

⑮ 特 願 平2-7470

⑯ 出 願 平2(1990)1月17日

⑰ 発 明 者 宮 野 昌 彦 大阪府門真市大字門真1006番地 松下電子工業株式会社内  
 ⑱ 発 明 者 宇 野 利 彦 大阪府門真市大字門真1006番地 松下電子工業株式会社内  
 ⑲ 出 願 人 松下電子工業株式会社 大阪府門真市大字門真1006番地  
 ⑳ 代 理 人 弁理士 栗野 重孝 外1名

## 明 細 書

## 1. 発明の名称

半導体装置及びその製造方法

## 2. 特許請求の範囲

(1) 半導体基板に形成した垂直溝部の側壁と溝底部の絶縁膜の膜厚が異なることを特長とする半導体装置。

(2) 絶縁膜を有した垂直溝部をポリシリコンで埋込み、ゲート電極として利用したことを特長とする垂直溝型電界効果トランジスタ型の半導体装置。

(3) 垂直溝部を有する半導体基板にSiN膜を形成し、このSiN膜を反応性イオンエッチングによって溝側壁にのみ残し、次いで熱酸化することの特長とする請求項1または請求項2記載の半導体装置の製造方法。

## 3. 発明の詳細な説明

産業上の利用分野

本発明は、表面を絶縁膜で被膜した垂直溝を有する半導体装置の構造及び製造方法に関する。

## 従来の技術

従来、この種の半導体装置は第4図に示すような構成であった。第4図において半導体基板1に形成した垂直溝に形成する熱酸化膜10の膜厚は溝の側壁と溝の底部とにおいて同じ膜厚になっていた。従って、第3図に示すように、この熱酸化膜を形成した垂直溝部をポリシリコンで埋込んでつくられた従来の垂直溝型電界効果トランジスタでは、ゲート絶縁膜となる溝側壁の酸化膜9の厚さとドレイン層11とゲート電極3との重なり容量の要因となる溝底部の酸化膜91の厚さは同じ厚さになる。一般に、ゲート酸化膜は薄く設計されるため、ドレイン・ゲート間容量が増加する結果になっていた。

発明が解決しようとする課題

このような従来の構成では、溝部絶縁膜の厚さを側壁と底部とで変えることは困難であった。即ち、絶縁膜を被膜した垂直溝を有する半導体装置、とくにこの溝部をポリシリコンで埋込んだ垂直溝型電界効果トランジスタでは、溝底部の酸化

特開平3-211885(2)

膜はゲート・ドレイン間容量を構成するため、高速動作のためにはこの部分の容量は大きくない方がよい。しかし、溝部に熱酸化によって酸化膜を形成する場合、溝側壁と溝底部は同じ膜厚になり、異なった厚みにつくることは不可能であった。

本発明はこのような課題を解決するもので、溝底部と溝側壁部の絶縁膜の厚みを変えて形成させることを目的とするものである。

課題を解決するための手段

この課題を解決するために、本発明では溝底部の絶縁膜厚を、溝側壁の絶縁膜厚より厚くすることでゲート・ドレイン間容量を低減している。そのために溝側壁にのみSiNを残し、その後熱酸化により溝底部に厚い酸化膜を形成したものである。

作用

この構成により、溝底部の絶縁膜を溝側壁の絶縁膜よりも厚くすることができるので、電界効果型トランジスタのゲート・ドレイン間容量を低減

でき、高速動作が可能となる。

実施例

第1図は本発明の一実施例による半導体装置である垂直溝型電界効果トランジスタ装置の構成を示す。溝部に形成された熱酸化膜は、溝底部に形成された酸化膜21の方が溝側壁に形成された酸化膜2より厚くなっている。このためポリシリコンで形成されたゲート電極3とドレイン領域11との間の容量は、溝側壁と溝底部の酸化膜厚が同じである従来構造に比べ大幅に低減できる。なお、4はリース領域、5は基板ソース領域を示している。

第2図は本発明による製造方法の一実施例である。垂直溝を有するドレイン領域となる半導体基板1に予備の酸化膜6を数百Å形成し、次いで、減圧CVD法によってSiN膜を500~3000Å成長させ同図(b)に示す構造にする。この状態の半導体基板1をCF<sub>4</sub>系ガスを用いた反応性イオンエッチング法によりエッチングすると同図(c)に示すように、溝の側壁にのみSiN膜7を残すこと

ができる。その後、熱酸化し、さらにリン酸によってSiN膜7を除去すれば同図(d)に示す構造となる。即ち、垂直溝部に形成した酸化膜の膜厚は、溝底部に形成された酸化膜8の方が溝側壁に形成された酸化膜6より厚くなっている。なお、ここでフッ化水素溶液によって溝側壁の予備の酸化膜6を除去し、新たに所望の膜厚のゲート酸化膜を熱酸化によって形成することも可能である。

発明の効果

以上のように本発明によれば、電界効果型トランジスタのゲート・ドレイン間容量を低減でき高速動作が可能となる。また、本発明の製造方法によれば、垂直溝に形成する絶縁膜の膜厚を溝側壁と溝底部で異なる膜厚に形成することができる。

#### 4、図面の簡単な説明

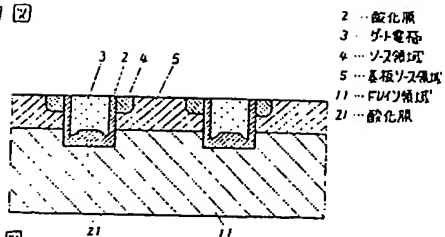
第1図は本発明の一実施例による電界効果トランジスタの断面図、第2図は本発明の製造方法の一実施例を示す製造工程図、第3図は従来構造の断面図、第4図は従来の製造方法の製造工程図である。

1……半導体基板、2, 21……酸化膜、3……ゲート電極、4……ソース領域、5……基板ソース領域、6……酸化膜、7……SiN膜、8……酸化膜、11……ドレイン領域。

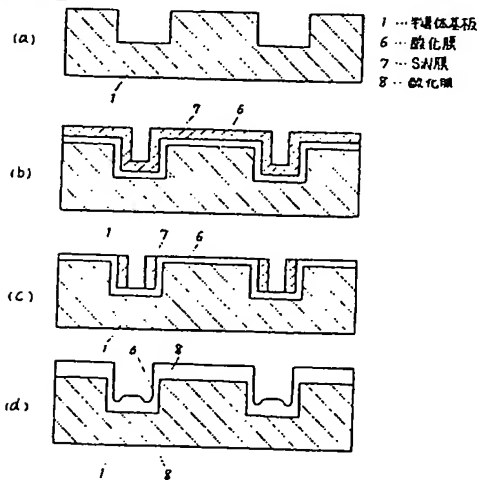
代理人の氏名 井理士 栗野重孝 ほか1名

特開平3-211885(3)

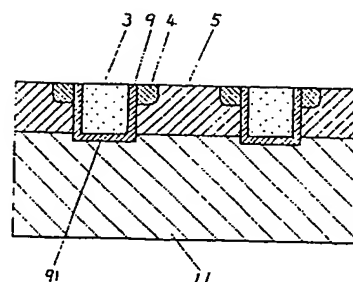
第1図



第2図



第3図



第4図

